

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of: Kazuyoshi UENO

Filed : Concurrently herewith

For : SEMICONDUCTOR DEVICE AND A METHOD FOR FORMING A
VIA HOLE IN A SEMICONDUCTOR DEVICE

Serial No. : Concurrently herewith

January 24, 2000

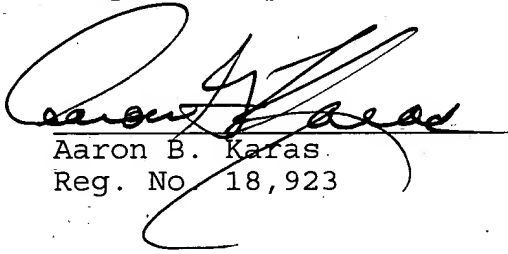
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

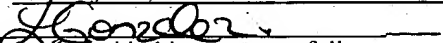
S I R:

Attached herewith is Japanese patent application No.
11-016258 of January 25, 1999 whose priority has been claimed
in the present application.

Respectfully submitted


Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: NECV16.966
LHH:priority

Filed Via Express Mail
Rec. No.: EL522353520US
On: January 24, 1999
By 
Any fee due with this paper, not fully
Covered by an enclosed check, may be
Charged on Deposit Acct. No. 08-1634



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

NEC 1540-US

#5
Justly's



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 1月25日

出願番号

Application Number:

平成11年特許願第016258号

出願人

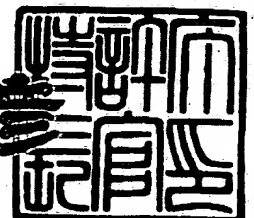
Applicant(s):

日本電気株式会社

1999年10月15日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3071295

【書類名】 特許願

【整理番号】 74110842

【提出日】 平成11年 1月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 上野 和良

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【選任した代理人】

 【識別番号】 100099553

 【弁理士】

 【氏名又は名称】 大村 雅生

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9715177

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置のビアホール形成方法

【特許請求の範囲】

【請求項 1】 Cu 層と、前記 Cu 層の表面側のエッチング停止層と、前記エッチング停止層の表面側の絶縁層とからなる層形成体に第 1 段階ビアホールを形成するためのステップ、ここで前記第 1 段階ビアホールの形成は前記エッチング停止層で停止され、

前記エッチング停止層に更に前記第 1 段階ビアホールに継続する第 2 段階ビアホールを形成することによりビアホールを形成するためのステップ、ここで前記第 2 段階ビアホールは前記 Cu 層に届き、

前記第 2 段階ビアホールをクリーニングするためのステップ、

前記クリーニングの後に前記第 1 段階ビアホール及び前記第 2 段階ビアホールにスパッタリングによりバリア膜を形成するためのステップ

とからなる半導体装置のビアホール形成方法。

【請求項 2】 請求項 1 において、

前記ビアホールをクリーニングするためのステップは、

低酸素分圧でアニールするためのステップ

を備えることを特徴とする半導体装置のビアホール形成方法。

【請求項 3】 請求項 2 において、

前記ビアホールをクリーニングするためのステップは、更に、

低酸素分圧でアニールするための前記ステップの前に前記ビアホールを酸素プラズマで処理するためのステップ

を備えることを特徴とする半導体装置のビアホール形成方法。

【請求項 4】 請求項 3 において、

前記ビアホールをクリーニングするためのステップは、更に、

ビアホールを酸素プラズマで処理するための前記ステップの後に前記ビアホールをウェット処理するためのステップを備える

ことを特徴とする半導体装置のビアホール形成方法。

【請求項 5】 請求項 2 において、更に、

低酸素分圧でアニールするための前記ステップは、前記スパッタリングを行う
スパッタリングチャンバの中で実行される

ことを特徴とする半導体装置のビアホール形成方法。

【請求項 6】請求項 5 において、

低酸素分圧でアニールするための前記ステップは、前記スパッタリングの直前
に実行される

ことを特徴とする半導体装置のビアホール形成方法。

【請求項 7】請求項 6 において、

低酸素分圧でアニールするための前記ステップの当該半導体の基板は、バリア
膜を形成するための前記ステップの前に、前記スパッタチャンバの中で 2 5 0 度
C 以上で 3 分以上の間放置される

ことを特徴とする半導体装置のビアホール形成方法。

【請求項 8】請求項 7 において、

前記スパッタリングの時の酸素分圧は、1 T o r r 以下である

ことを特徴とする半導体装置のビアホール形成方法。

【請求項 9】請求項 7 において、

低酸素分圧でアニールするための前記ステップは、水素雰囲気中で実行される
ことを特徴とする半導体装置のビアホール形成方法。

【請求項 1 0】請求項 9 において、

低酸素分圧でアニールするための前記ステップは、水素ラジカルが供給される
雰囲気中で実行される

ことを特徴とする半導体装置のビアホール形成方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置のビアホール形成方法に関し、特に、C u 配線層に届く
ビアホールの形成時にそのC u による悪影響が出ないように処理される半導体装
置のビアホール形成方法に関する。

【0 0 0 2】

【従来の技術】

半導体装置の高集積・微細化は、複数・配線層の間を接続するビアホールの微少径化を求める。その微少径化が電気抵抗の増大を招くことが、文献(*1)で知られている。更に、複数・ビアホールの中で漏洩するピアリーク電流の発生が知られている。このようなピアリーク電流の発生は、ビアホールを形成する際に、ビアホールが形成されて露出するCu配線層のCuが、Arを用いたスパッタリングの際に、ビアホール面に再付着するためであることは自明的であり、Cuが拡散した場合に、リーク電流が更に増加するであろうことは、容易に推定することができる。

*1: S. Lakashminarayanan et. al., Proc. 1994 VMIC(1994) p.49

【0003】

このような公知方法の問題点は、更に詳しく、図2(a), (b), (c)に示されている。図2(a)に示されるように、第1ステップで、レジスト層/SiO₂層/Cu配線層が形成され、第2ステップで、そのCu配線層に届くビアホールが形成される。図2(b)に示されるように、第3ステップでレジストが除去される。このステップで、Cu配線層の表面のCuがビアホールの側面に作用して、側壁Cuデポが形成され、この側壁Cuデポはリーク電流の発生の原因であり、且つ、Cu配線層の表面にCu表面酸化が現れ、この酸化が電気抵抗の増大を招いている。図2(c)に示されるように形成されるTa₂N₅のバリア膜は、そのバリア性が弱められている。

【0004】

配線層であるCu層に届くように形成したコンタクト孔にCuを埋め込んで複数・配線間接続を行う際に、Cu-Cu接続の電氣的接続が不十分になることを回避する手段が、特開平10-261715号で知られている。Cu-Cu接続を良好にしても、既述のCuの再付着問題は、解消されえない。このような問題を克服するために、SiO₂/SiN/Cuの3層形成の基板を形成して、中間層であるSiN層でその形成を停止させる第1段階ビアホールを形成し、次に、第2段階ビアホールを形成することによりそのオーバーエッチング時間を短くして、そのCuの悪影響を回避する案が検討されうる。このような案に外見上近似

したビアホール形成ステップは、既述の特開平10-261715号の図5(c)に記載されている。

【0005】

公知のこのようなビア形成方法は、Cu表面の酸化を抑制し、且つ、ビアホール形成後のArプラズマ処理のようなクリーニングの際に生じるCu再付着の問題を解消するためには不十分であり、更に、スパッタでバリア膜を堆積する場合に、従来の方法では、既述のような問題が生じて、Cuの影響を回避することが困難である。

【0006】

ビアのオーバーエッチング時間が長くなる（特に、デュアルダマシン）ことを回避することにより、更に、酸素プラズマ等の剥離処理で露出したCu表面が酸化して汚染されることを回避することにより、また更に、Arプラズマ等のスパッタによりビアホール側面にCuが再付着して拡散することを回避することにより、電気抵抗の増大を招かず、且つ、リーク電流の発生を抑制することが望まれる。

【0007】

【発明が解決しようとする課題】

本発明の課題は、ビアのオーバーエッチング時間が長くなることを回避することにより、電気抵抗の増大を招かず、且つ、リーク電流の発生を抑制することができる半導体装置のビアホール形成方法を提供することにある。

本発明の他の課題は、ビアのオーバーエッチング時間が長くなることを回避し、更に、露出したCu表面が酸化して汚染されることを回避することにより、電気抵抗の増大をより有効に抑制し、且つ、リーク電流の発生をより有効に抑制することができる半導体装置のビアホール形成方法を提供することにある。

本発明の更に他の課題は、ビアのオーバーエッチング時間が長くなることを回避し、更に、露出したCu表面が酸化して汚染されることを回避し、更に、スパッタリングを実行する際にCuの影響を回避することにより、電気抵抗の増大を更に有効に抑制し、且つ、リーク電流の発生を更に有効に抑制することができる半導体装置のビアホール形成方法を提供することにある。

【0008】

【課題を解決するための手段】

その課題を解決するための手段が、下記のように表現される。その表現中の請求項対応の技術的事項には、括弧 () つきで、番号、記号等が添記されている。その番号、記号等は、請求項対応の技術的事項と実施の複数・形態のうちの少なくとも1つの形態の技術的事項との一致・対応関係を明白にしているが、その請求項対応の技術的事項が実施の形態の技術的事項に限定されることを示すためのものではない。

【0009】

本発明による半導体装置のビアホール形成方法は、Cu層(1)と、Cu層(1)の表面側のエッチング停止層(2)と、エッチング停止層(2)の表面側の絶縁層(3)とからなる層形成体に第1段階ビアホール(5)を形成するためのステップと、第1段階ビアホール(5)の形成はエッチング停止層(2)で停止され、エッチング停止層(2)に更に第1段階ビアホール(5)に継続する第2段階ビアホール(6)を形成することによりビアホールを形成するためのステップと、第2段階ビアホール(6)はCu層(1)に届き、第2段階ビアホール(6)をクリーニングするためのステップと、そのクリーニングの後に第1段階ビアホール(5)及び第2段階ビアホール(6)にスパッタリングによりバリア膜(7)を形成するためのステップとからなる。

【0010】

このような2段階ビアホール形成は、クリーニングのステップと、スパッタリングのステップに影響し、オーバーエッチングの時間の短縮により、Cuの影響を最小限に止めることができる。クリーニングの後にスパッタリングを行うので、電流リークを最小限に止めることができる。Cuをこのようなスパッタリングの後にビアホールに埋め込んで形成するCu-Cu接続は、電気抵抗の増大を有効に抑制することができる。第1段階ビアホール(5)を形成し第2段階ビアホール6を形成する前にレジスト層(4)を剥離することが好ましい。

【0011】

ビアホール(5, 6)をクリーニングするためのステップは、低酸素分圧でア

ニールすることが特に好ましい。ビアホールをクリーニングするためのステップは、更に、低酸素分圧でアニールするためのステップの前にビアホールを酸素プラズマで処理するためのステップを備えることが好ましい。ビアホールをクリーニングするためのステップは、更に、ビアホールを酸素プラズマで処理するためのステップの後にビアホールをウェット処理するためのステップを備えることが更に好ましい。低酸素分圧でアニールするためのステップは、スパッタリングを行うスパッタリングチャンバの中で実行されることが更に好ましい。

【0012】

低酸素分圧でアニールするためのステップは、スパッタリングの直前に実行されることが更に望ましい。低酸素分圧でアニールするためのステップの当該半導体の基板は、バリア膜を形成するためのステップの前に、スパッタリングチャンバの中で250度C以上で3分以上の間放置されることが極めて有効である。低酸素分圧は、1 Torr 以下である。

【0013】

低酸素分圧でアニールするためのステップは、水素雰囲気中で実行され、特に、水素ラジカルが供給される雰囲気中で実行されることが、2段階ビアホールの形成を特に有効化することができる。

【0014】

【発明の実施の形態】

図に一致対応して、本発明による半導体装置のビアホール形成方法の実施の形態は、基板が形成されている。図1(a)に示されるように、その基板10は、他のステップで3層構造として既に形成されている。その3層構造は、基板中に形成されたCu配線層1と、Cu配線層1の上面側に形成されているSiN層2と、SiN層2の上面側に形成されているSiO₂層3とからなる。

【0015】

レジスト層4が形成され、そのパターンに従って、第1段階ビアホール5が形成される。第1段階ビアホール5は、SiN層2の表面に届いているが、その表面でそのエッチングは停止している。Cu配線層1の表面はSiN層2に覆われて露出していない。

【0016】

次に、図1(b)に示されるように、レジスト層4がアッシング等の処理手段で除去される。更に次に、図1(b)に示されるように、第1段階ビアホール5に連続して、SiN層2に第2段階ビアホール6が形成される。第2段階ビアホール6は、Cu配線層1の表面に届いている。この段階で、Cu配線層1の表面は露出している。

【0017】

第1段階ビアホール5と第2段階ビアホール6とからなるビアホールが形成された後に、次の3段階のクリーニング処理が実行される。第1段階クリーニングは、酸素プラズマ処理である。第2段階クリーニングは、DHFのようなウエット処理である。第3段階クリーニングは、アニーリング処理である。これらの3つの処理は、それぞれには慣用の処理技術である。これらの3つの処理は、大気に曝されることなく実行される。

【0018】

そのアニーリング処理は、低酸素分圧の条件で実行される。アニーリング処理時の基板10は、次のステップで用いられるスパッタリング・チャンバ（図示せず）の中に入れられている。そのスパッタリング・チャンバの中で、基板10は、250度に設定された雰囲気中に置かれ、基板10は250度になっている。基板10が250度になっている時間は、3分以上であることが好ましい。

【0019】

この時間が経過した後にはただちに、そのチャンバの中で、スパッタリングが実行される。このスパッタリングの間の酸素分圧は、1 Torr以下であり、そのチャンバの中は真空にすることができ、Ar雰囲気にすることもできる。図1(c)に示されるように、このスパッタリングにより、ビアホール5、6にバリア膜7が形成される。

【0020】

既述の低酸素分圧アニーリングは、水素雰囲気中で行うことが望ましい。水素雰囲気中でのアニーリングは、酸化膜除去効果があり、低温化と短時間化が可能である点で優れている。既述の低酸素分圧アニーリングは、水素ラジカルを供給

しながら実行することが更に好ましい。水素ラジカル供給による水素雰囲気中でのアニーリングは、更に酸化膜除去効果があり、更に低温化と短時間化が可能である点で更に優れている。

【0021】

【発明の効果】

本発明による半導体装置のビアホール形成方法は、2段階エッチングにより、Cu表面が剥離工程で酸化せず、ビアホール底面のCu表面の劣化が防止され、更にその結果、ビア抵抗が低減され、信頼性が向上する。付加的に、2回目のエッチングでオーバーエッチング時間が短縮され、Cu表面でのプラズマダメージが少ない。更に付加的に、ビア間リークを防止することができる。

【0022】

更に付加的に、低酸素分圧アニールにより、Cu表面の酸化膜を有効に除去できる。更に付加的に、高温スパッタチャンバで堆積直前に低酸素アニールを行う工程がシンプルである。更に付加的に、クリーニングの際に、有機ガスを使用しないことにより、C等の付着が少なく、クリーンなCu酸化膜の除去が可能であり、且つ、プラズマを使用しないことにより、Cuの再付着が生じない。

【図面の簡単な説明】

【図1】

図1(a), (b), (c)は、本発明による半導体装置のビアホール形成方法の実施の形態のステップスをそれぞれに示す断面図である。

【図2】

図2(a), (b), (c)は、公知方法のステップスをそれぞれに示す断面図である。

【符号の説明】

- 1...Cu層
- 2...エッチング停止層(SiN層)
- 4...レジスト層
- 5...第1段階ビアホール
- 6...第2段階ビアホール

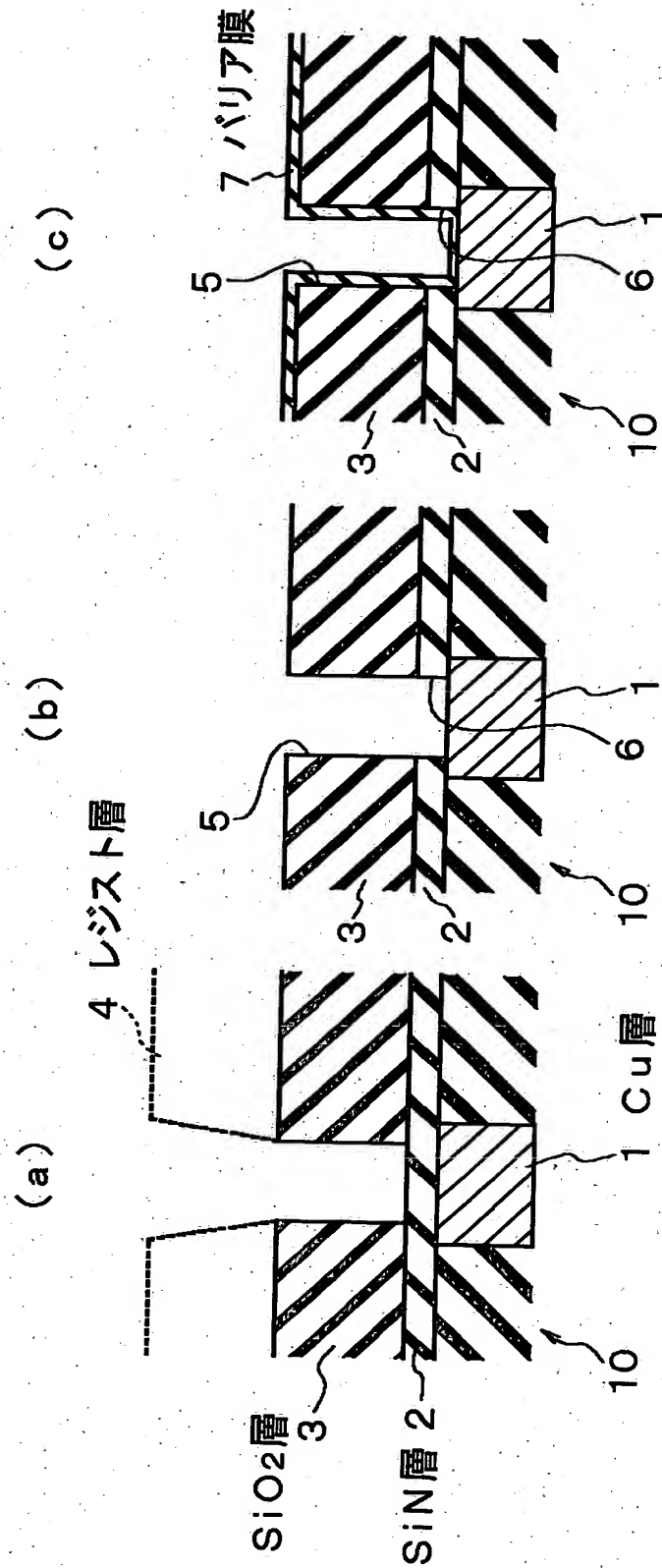
特平 11-016258

7…バリア膜

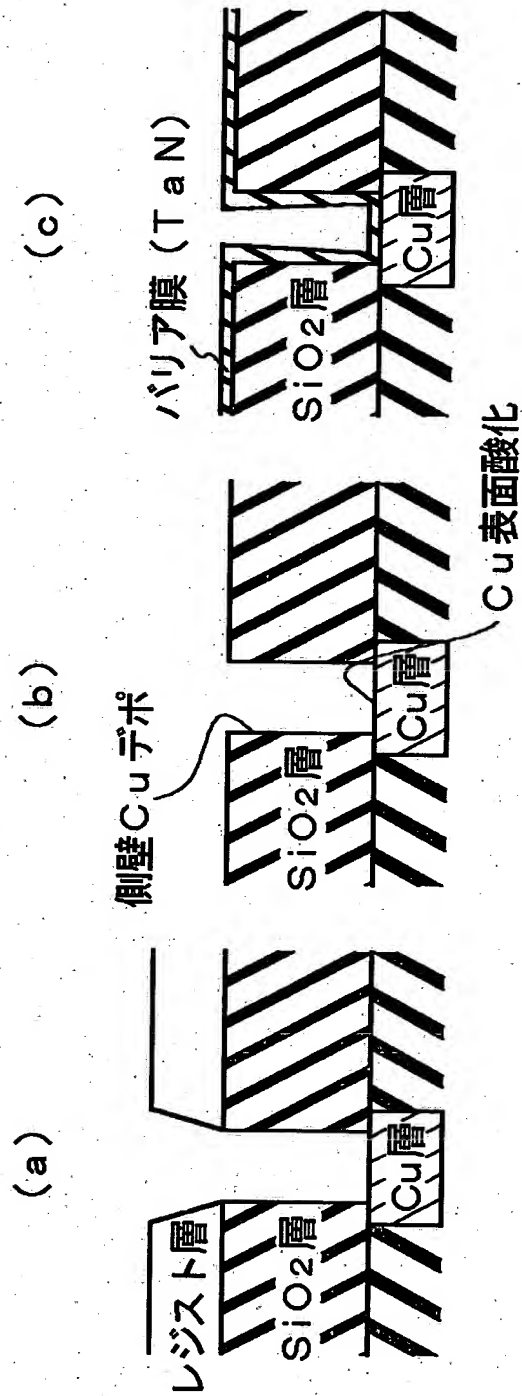
特平 1 1 - 0 1 6 2 5 8

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 電気抵抗の増大を招かず、且つ、リーク電流の発生を抑制する。

【解決手段】 SiO_2 層／エッチング停止層 2／ Cu 層 1 の層形成体に第 1 段階ビアホール 5 を形成し、エッチング停止層 2 で停止し、レジスト層 4 を剥離して、エッチング停止層 2 に更に第 1 段階ビアホール 5 に継続する第 2 段階ビアホール 6 を形成し、ビアホール 5, 6 をクリーニングし、スパッタリングによりバリア膜 7 を形成する。オーバーエッチングの時間の短縮により、 $\text{Cu}-\text{Cu}$ 接続は電気抵抗の増大を有効に抑制し、電流リークを防止する。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 11 年 特許願 第 016258 号
受付番号	59900059609
書類名	特許願
担当官	坪 政光 8844
作成日	平成 11 年 3 月 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000004237

【住所又は居所】

東京都港区芝五丁目 7 番 1 号

【氏名又は名称】

日本電気株式会社

【代理人】

申請人

【識別番号】

100102864

【住所又は居所】

東京都品川区南大井 3 丁目 16 番 3 号 オフィス
ベルメイト 301 工藤国際特許事務所

【氏名又は名称】

工藤 実

【選任した代理人】

【識別番号】

100099553

【住所又は居所】

東京都品川区南大井 3 丁目 16 番 3 号-301 工
藤国際特許事務所

【氏名又は名称】

大村 雅生

出 願 人 履 歷 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社